

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-297831

(43)Date of publication of application : 10.11.1995

(51)Int.Cl.

H04L 12/28

H04Q 3/00

H04Q 3/52

(21)Application number : 06-084609

(71)Applicant : SUMITOMO ELECTRIC IND LTD

(22)Date of filing : 22.04.1994

(72)Inventor : OISHI SEIJI

HAGIWARA KEIJI

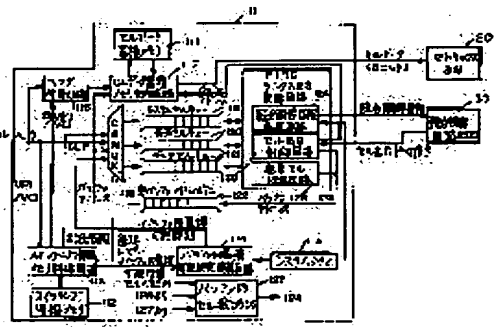
TOMINAGA KAZUHIRO

(54) INPUT BUFFER TYPE ATM SWITCH CIRCUIT

(57)Abstract:

PURPOSE: To provide an input buffer type ATM switch circuit which is applied to even a multimedia network having strict regulations for cell abandonment and cell delay and has a small scale and a high performance and can be operated at a high speed.

CONSTITUTION: Extents of delay are made different among system cells, voice cells, and data cells; and when a cell is inputted to an input buffer 11, the header is changed by a header changing circuit 116, and the intra-buffer storage allowable time, output destination information, and the delay level are read out from a switching information memory 112, and the cell is stored in a system cell queue 119, a voice cell queue 120, or a data cell queue 121. Contention arbitration information is generated in a contention arbitration information generating circuit 124 based on the extent of delay of the cell outputted from a cell queue, the intra-buffer storage allowable time, and the number of cells in the input buffer and is given to a contention arbitrating circuit 30. If output of cells to the same output destination from plural input buffers is requested, the circuit 30 outputs the cell from the input buffer, whose contention arbitration information has the heaviest weight, from a matrix switch 20.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

BEST AVAILABLE COPY

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-297831

(43) 公開日 平成7年(1995)11月10日

(51) IntCl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28				
H 0 4 Q 3/00				
3/52	1 0 1 Z	9076-5K		
		9466-5K	H 0 4 L 11/ 20	H

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平6-84609

(22) 出願日 平成6年(1994)4月22日

(71) 出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72) 発明者 大石 聖二

大阪市此花区島屋一丁目1番3号 住友電気工業株式会社大阪製作所内

(72) 発明者 萩原 啓司

大阪市此花区島屋一丁目1番3号 住友電気工業株式会社大阪製作所内

(72) 発明者 富永 一宏

大阪市此花区島屋一丁目1番3号 住友電気工業株式会社大阪製作所内

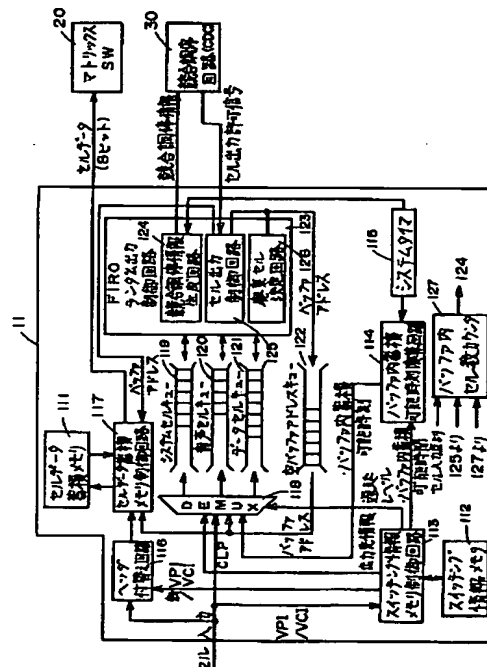
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 入力バッファ型ATMスイッチ回路

(57) 【要約】

【目的】 セル廃棄およびセル遅延に厳しいマルチメディアネットワークにも適用でき、小規模、高性能で高速動作可能な入力バッファ型ATMスイッチ回路を提供する。

【構成】 セルの遅延量をシステムセルと音声セルとデータセルに分け、入力バッファ11にセルが入力されると、ヘッダ付替回路116によってヘッダを付替え、スイッチング情報メモリ112からバッファ内蓄積可能時間と出力先情報と遅延レベルを読み出し、システムセルキュー119、音声セルキュー120およびデータセルキュー121のいずれかに記憶させる。セルキューから出力されたセルの遅延量とバッファ内蓄積可能時間と入力バッファ内セル数とに基づいて競合調停情報を競合調停情報生成回路124で生成し、競合調停回路30に与える。競合調整回路30は複数の入力バッファから同じ出力先にセルの出力が要求されていれば、競合調停情報のうち最も重みの重い入力バッファからのセルをマトリクススイッチ20から出力させる。



【特許請求の範囲】

【請求項1】 ATMスイッチの入力側に複数の入力バッファを備えた入力バッファ型ATMスイッチ回路であって、

前記ATMスイッチで扱うセルの遅延量によりセルを複数の遅延レベルに分け、セルの識別子ごとにセルが前記入力バッファに蓄積可能なバッファ内蓄積可能時間を記憶して出力し、

前記遅延レベルごとに設けられる複数のセルキュー、

前記入力バッファ内のセル数をカウントするセルカウンタ、

前記セルの遅延レベルと前記セルキューから出力されるバッファ内蓄積可能時間と前記セルカウンタから出力される入力バッファ内のセル数とに基づいて重みづけられた競合調停情報を生成する競合調停情報生成手段、および前記複数の入力バッファから同じ出力先にセルの出力が要求されていれば、前記競合調停情報生成手段によって生成された競合調停情報のうち最も重み付けの重い入力バッファからのセルを前記出力先に出力させる競合調停手段を備えた、入力バッファ型ATMスイッチ回路。

【請求項2】 前記セルキューからセルが溢れたとき、廃棄するセルを決定してそのセルを廃棄する廃棄セル決定手段を含む、請求項1の入力バッファ型ATMスイッチ回路。

【請求項3】 前記廃棄セル決定手段は、第1にセルの廃棄優先順位を考慮して前記セルキューに優先順位を付し、該優先順位を第2に考慮し、第3にセルキューの先頭からの順番を考慮して行ない、廃棄優先順位の高いセルがあれば、前記優先順位の高いセルキューの先頭に最も近いセル、廃棄優先順位の高いセルがなければ廃棄優先度の低いセルのうち前記優先順位の高いセルキューの先頭に最も近いセルの順序で廃棄することを特徴とする、請求項2の入力バッファ型ATMスイッチ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は入力バッファ型ATMスイッチ回路に関し、特に、ATM-LANなどの小規模なマルチメディアネットワークに使用され、ATM方式でセルを交換するような入力バッファ型ATMスイッチ回路に関する。

【0002】

【従来の技術】ATM網のATM交換機では、ATMスイッチが用いられているが、従来のATMスイッチは、広域網の局用交換機などに用いられるような大規模であって、構成も複雑であり、非常に高価なものとなっていた。また、これらのATMスイッチをATM-LANに適用する場合、セル廃棄およびセル遅延に対する制御入力が不十分であった。ATMスイッチをATM-LANなどの小規模ネットワークに適用する場合には、ATMスイッチを小規模、高性能で、構成を単純にして低価格

としなければならない。小型化が可能なATMスイッチの構成方法として、たとえば特開平4-334145号公報に示されているような、入力バッファ型ATMスイッチが有利である。

【0003】

【発明が解決しようとする課題】しかし、入力バッファ型ATMスイッチでは、複数の入力線路からのセルが同一の出力線路をめざした場合、入力バッファ内のキューの先頭に出力できないセルが停滞し、この結果、出力線路の使用効率が60%程度に低下してしまうといういわゆるヘッド・オブ・ライン・ブロッキング(HOL)が生じる。このHOLを回避するために、出力できなかった入力バッファの先頭から10セル程度まで出力候補とし、出力可能な出力線路を見つけるような制御が必要になる。

【0004】また、音声、動画像、データなどを通信するマルチメディアATM-LANでは、同時に通信するユーザ数が広域網に比べて少ないために、統計多重効果による伝送路上でのトラフィック量の平坦化が少ない。さらに、広域網ではネットワーク・トポロジーが決まっており、エンドーエンド間通信で通過するATMスイッチの数が決まっており少ないが、LANの場合には、様々なトポロジーが考えられ、通過するATMスイッチの数が多数の場合も考慮する必要がある。このため、ATM-LANでは、バーストデータが同時に伝送されるときにATMスイッチで発生するセル廃棄およびセル遅延をより強力に制御する必要がある。しかも、この制御を単純化、小規模で高速動作可能な回路構成で実現する必要がある。

【0005】それゆえに、この発明の主たる目的は、構成が単純かつ小規模であって、セル廃棄およびセル遅延を制御でき、高速動作可能な入力バッファ型ATMスイッチ回路を提供することである。

【0006】

【課題を解決するための手段】請求項1に係る発明は、ATMスイッチの入力側に複数の入力バッファを備えた入力バッファ型ATMスイッチ回路であって、ATMスイッチで扱うセルの遅延量によりセルを複数の遅延レベルに分け、セルの識別子ごとにセルが入力バッファに蓄積可能なバッファ内蓄積可能時間を記憶して出力し、遅延レベルごとに設けられる複数のセルキューと、入力バッファ内のセル数をカウントするセルカウンタと、セルの遅延レベルとセルキューから出力されるバッファ内蓄積可能時間とセルカウンタから出力される入力バッファ内のセル数とに基づいて重みづけられた競合調停情報を生成する競合調停情報生成手段と、複数の入力バッファから同じ出力先にセルの出力が要求されていれば、競合調停情報生成手段によって生成された競合調停情報のうち最も重み付けの重い入力バッファからのセルを出力先に出力させる競合調停手段を備えて構成される。なお、

ここでいう識別子とは、セルヘッダ内のVPI/VC I値を意味している。

【0007】請求項2に係る発明では、請求項1のセルキューからセルが溢れたとき、廃棄するセルを決定してそのセルを廃棄する廃棄セル決定手段を含む。

【0008】請求項3に係る発明では、請求項2の廃棄セル決定手段は、第1にセルの廃棄優先順位を考慮してセルキューに優先順位を付し、その優先順位を第2に考慮し、第3にセルキューの先頭からの順番を考慮して行ない、廃棄優先順位の高いセルがあれば優先順位の高いセルキューの先頭に最も近いセル、廃棄優先順位の高いセルがなければ廃棄優先度の低いセルのうち優先順位の高いセルキューの先頭に最も近いセルの順序で廃棄する。

【0009】

【作用】この発明に係る入力バッファ型ATMスイッチ回路は、ATMスイッチで扱うセルの遅延量によりセルを複数の遅延レベルに分け、セルの識別子ごとにセルが入力バッファに蓄積可能なバッファ内蓄積可能時間を記憶して出力し、セルの遅延レベルとセルキューから出力されるバッファ内蓄積可能時間とセルカウンタから出力される入力バッファ内のセル数とに基づいて重みづけられた競合調停情報を生成し、複数のセルキューから同じ出力先にセルの出力が要求されていれば、競合調停情報のうちの最も重み付けの重い入力バッファからのセルを出力先に出力させる。

【0010】さらに、セルキューからセルが溢れたとき、廃棄するセルを決定してそのセルを廃棄する。廃棄優先順位の高いセルがあれば優先順位の高いセルキューの先頭に最も近いセル、廃棄優先順位の高いセルがなければ廃棄優先度の低いセルのうち優先順位の高いセルキューの先頭に最も近いセルの順序で廃棄する。

【0011】

【実施例】図1はこの発明の一実施例の全体のブロック図であり、図2は図1で示した入力バッファの具体的なブロック図である。

【0012】図1において、入力バッファ型ATMスイッチは8個の入力バッファ11～18と、マトリックススイッチ20と、競合調停回路30とを含む。入力バッファ11～18は後述の図2に示すように構成される。

【0013】この発明の一実施例では、セルの遅延を次の3種類にして取り扱われる。

システムセル：LAN管理用セル、シグナリングセルなどの最も重要で、早くマトリックススイッチ20を通過する必要のあるセル。

【0014】音声セル：音声、動画像などの定時性データ用のセルであって、システムセルの次に早くマトリックススイッチ20を通過する必要のあるセル。

【0015】データセル：データ送信用の遅延に厳しくないセル。

図1に示した入力バッファ11～18は、各入力線路ごとに存在し、セルヘッダ情報の付替え、スイッチング情報の抽出、セルデータ蓄積メモリへのセルの蓄積を行なう。マトリックススイッチ20は、8ビット×8入力の入力セルデータを競合調停回路30からのスイッチング設定情報を基にして、所望の8出力線路に出力する。競合調停回路30は各入力バッファ11～18からの入力セルごとの競合調停情報および出力先情報から各出力線路ごとの勝ち残りセル（出力可能セル）を決定する。また、競合調停回路30はマトリックススイッチ20に対して、各出力線路ごとのスイッチング設定情報を与える。

【0016】次に、図2を参照して、入力バッファ11のより具体的な構成について説明する。なお、他の入力バッファ12～18も同様に構成される。入力バッファ11はセルデータ蓄積メモリ111とスイッチング情報メモリ112とを含む。セルデータ蓄積メモリ111はセルデータを蓄積するためのメモリであって、スイッチング情報メモリ112はセルヘッダのセル識別子（VPI/VC I値）ごとのセルの遅延レベル、バッファ内蓄積可能時間および出力先情報からなるスイッチング情報を蓄積する。このスイッチング情報メモリ112はスイッチング情報メモリ制御回路113によって制御され、セルヘッダのVPI/VC I値に応じてスイッチング情報メモリ112を検索し、新たに付替えるVPI/VC I値、セルの遅延レベル、バッファ内蓄積可能時間および出力先情報を読み出す。スイッチング情報メモリ112から読み出されたバッファ内蓄積可能時間はバッファ内蓄積可能時刻演算回路114に与えられる。バッファ内蓄積可能時刻演算回路114はシステムタイマ115からのタイマ出力のセル入力時刻により、バッファ内蓄積可能時刻（セル入力時刻+バッファ内蓄積可能時間）を生成してデマルチプレクサ118に与える。スイッチング情報メモリ112から読み出された新たなVPI/VC I値はヘッダ付替回路116に与えられ、セルヘッダの付替を行なう。また、スイッチング情報メモリ112から読み出された出力先情報と遅延レベルはデマルチプレクサ118に与えられる。

【0017】セルデータ蓄積メモリ111はセルデータ蓄積メモリ制御回路117によって制御され、空バッファアドレスキュー122から与えられるバッファアドレスに応じて、ヘッダ付替回路116によってヘッダの付替の行なわれたセルをセルデータ蓄積メモリ111に書込む。デマルチプレクサ118は、スイッチング情報メモリ112から読み出された遅延レベルに応じて、出力先情報とバッファ内蓄積可能時刻とセル廃棄優先度ビットとを対応のセルキューに与える。セルキューはシステムセルキュー119と音声セルキュー120とデータセルキュー121とを含み、それぞれシステムセル、音声セル、データセルを先頭から順に記憶する。空きバッファ

アドレスキュー122はセルデータ蓄積メモリ111のバッファアドレスを記憶する。

【0018】さらに、入力バッファ11はF I R O (先入れランダム出力) 制御回路123を含み、この制御回路123は競合調停情報生成回路124とセル出力制御回路125と廃棄セル決定回路126とを含む。競合調停情報生成回路124はセル遅延レベルとバッファ内残り蓄積可能時間とバッファ内蓄積セル数とに基づいて競合調停情報を生成して競合調停回路30に与える。セル出力制御回路125は競合調停回路30からセル出力許可信号が与えられると、セルを出力するための制御を行なう。廃棄セル決定回路126はシステムセルキュー119、音声セルキュー120およびデータセルキュー121がデータセルの溢れを起こした場合に、セルの廃棄を決定する。また、入力バッファ11はバッファ内セル数カウンタ127を含む。バッファ内セル数カウンタ127は、セル入力点、セル出力制御回路125および廃棄セル決定回路126よりセル数の増減情報を得て、入力バッファ11内のセル数をカウントし、競合調停情報生成回路124へ情報を与える。

【0019】次に、図1および図2を参照して、この発明の一実施例の具体的な動作について説明する。図1に示した入力ポートからたとえば入力バッファ11にセルが入力されると、図2に示す入力バッファ11のスイッチング情報メモリ制御回路113はそのセルのヘッダのV P I / V C I 値によってスイッチング情報メモリ112を検索し、新たに付替えるV P I / V C I 値、セルの遅延レベル、バッファ内蓄積可能時間および出力先情報を読出す。セルの遅延レベルはデマルチプレクサ118に与えられる。出力先情報はマルチキャストを実現するために、出力線路群の8ビットで構成され、出力要求線路に対応するビットが“1”であり、その他が“0”であるようなビット列であって、この出力先情報もデマルチプレクサ118に与えられる。バッファ内蓄積可能時間はバッファ内蓄積可能時刻演算回路114に与えられる。バッファ内蓄積可能時刻演算回路114はシステムタイマ115から与えられるセル入力時刻とバッファ内蓄積可能時間とに基づいて、バッファ内蓄積可能時刻を演算してデマルチプレクサ118に与える。

【0020】空きバッファアドレスキュー122はセルデータ蓄積メモリ111のバッファアドレスを読出し、

デマルチプレクサ118とセルデータ蓄積メモリ制御回路117とに与える。デマルチプレクサ118はバッファ内蓄積可能時刻と出力先情報とセル廃棄優先ビットとバッファアドレスとをセル遅延レベルに対応するシステムセルキュー119と音声セルキュー120とデータセルキュー121のいずれかに入力する。セルデータは、ヘッダ付替回路116によってスイッチング情報メモリ111から読出した新V P I / V C I 値により、セルヘッダの付替が行なわれる。その後、セルデータ蓄積メモリ制御回路117によって、セルデータ蓄積メモリ111内の空きバッファアドレスキュー122から読出されたバッファアドレスにセルヘッダの付替えられたセルデータが書込まれる。

【0021】次に、H O L 回避動作について説明する。競合調停情報生成回路124は、システムセルキュー119、音声セルキュー120およびデータセルキュー121のいずれかのキューの先頭セルを出力候補として、そのセルのセル遅延レベル、バッファ内蓄積可能時刻およびバッファ内蓄積セル数から競合調停情報を作成する。ここで、入力バッファ内の3種類のキューの出力候補優先順位は、

①システムセルキュー>②音声セルキュー>③データセルキュー

の順序とされる。また、競合調停情報は以下の手順で作成される。セルの遅延レベルは表1に示すようにコード化される。

【0022】

【表1】

セル遅延レベル	ビットパターン (C1 C0)	
	C1	C0
システムセル	1	0
音声セル	0	1
データセル	0	0

【0023】バッファ内残り蓄積可能時間(バッファ内に蓄積可能な残り時間=バッファ内蓄積可能時刻-入力バッファの現在標準時刻)を次の表2に示すように3ビットにコード化する。

【0024】

【表2】

残り蓄積可能時間 (AS) (セル時間)	ビットパターン (P2 P1 P0)		
$AS \leq NMAS0$	1	1	1
$NMAS0 < AS \leq NMAS1$	1	1	0
$NMAS1 < AS \leq NMAS1$	1	0	1
$NMAS2 < AS \leq NMAS1$	1	0	0
$NMAS3 < AS \leq NMAS1$	0	1	1
$NMAS4 < AS \leq NMAS1$	0	1	0
$NMAS5 < AS \leq NMAS1$	0	0	1
$NMAS6 < AS$	0	0	0

(NMAS0~NMAS6は設定値)

【0025】バッファ内蓄積セル数は次の表3に示すよ * 【0026】
うにコード化される。 * 【表3】

バッファ内セル数 (CL) (セル)	ビットパターン (N2 N1 N0)		
$CL \leq NMCL0$	0	0	0
$NMCL0 < CL \leq NMCL1$	0	0	1
$NMCL1 < CL \leq NMCL2$	0	1	0
$NMCL2 < CL \leq NMCL3$	0	1	1
$NMCL3 < CL \leq NMCL4$	1	0	0
$NMCL4 < CL \leq NMCL5$	1	0	1
$NMCL5 < CL \leq NMCL6$	1	1	0
$NMCL6 < CL$	1	1	1

(NMCL0~NMCL6は設定値)

【0027】上述の3種類の情報ビットを次の表4に示 * 【0028】
すようにマッピングされる。 * 【表4】

競合調停情報ビットマップ

ビット 7 6 5 4 3 2 1 0

C1	C0	P2	N2	P1	N1	P0	N0
----	----	----	----	----	----	----	----

(重み) 大 → 小

【0029】上述のごとくして、入力バッファ11で作成された競合調停情報と出力先情報は競合調停回路30に与えられる。競合調停回路30では、各入力バッファ11~18からの出力先情報を見て、1つの出力線路に対して1つの入力線路のセルのみが出力要求していれば、その入力線路に対応する入力バッファにセル出力許可信号を与える。もし、複数の入力線路のセルが同一の出力線路に出力要求していれば、それらの入力線路の競合調停情報を表4に示すように重み付けを行なって、その大小比較を行なう。ここで、最も重みの大きな入力線路に対して、競合調停回路30は出力線路分の8ビット

で構成され、許可出力線路に対応するビットが“1”であって、その他が“0”であるようなビット列のセル出力許可信号を与える。この勝ち残り動作に負けた入力線路の入力バッファは、システムセルキュー119、音声セルキュー120およびデータセルキュー121のいずれかの次の出力候補セルを決定し、競合調停情報と出力先情報を作成して競合調停回路30に与え、競合調停回路30は2回目の勝ち残り決定動作を行なう。このように、各入力線路の出力候補セルがある限り、また1セルを入出力する時間内でこのHOL回避動作を繰返す。

【0030】各出力線路へ出力する入力線路が決定され

ると、競合調停回路 30 はマトリックススイッチ 20 へ出力線路ごとのスイッチング設定情報を送り、マトリックススイッチ 20 は内部のスイッチング素子を切換える。それと同時に、入力バッファ 11 は、セル出力制御回路 125 からセルデータ蓄積メモリ制御回路 117 に出力セルのバッファアドレスを通知する。セルデータ蓄積メモリ制御回路 117 はセルデータ蓄積メモリ 111 から出力すべきセルデータを読み出し、マトリックススイッチ 20 へ送る。これによって、所望の出力線路にセルを出力できる。

【0031】また、セル出力制御回路 125 では、出力先情報が“1”であるビットで、競合調停回路 30 からの出力許可信号が“1”であるビットを“0”にする。この結果、出力先情報のすべてのビットが“0”であれば、所望の出力線路すべてに出力されたとみなして、そのセルのキュー内のエントリを削除し、バッファアドレスを以降のセル入力に使用するために空きバッファアドレスキュー 122 に書込む。もし、この出力先情報に“1”のビットが残っていれば、まだ出力したい出力線路があるものとして、この出力先情報をキュー内の該当箇所に書込む。このセルは、次の HOL 回避動作に参加する。

【0032】この実施例における ATM スwitch は、入力バッファ 11 がバッファ溢れを起こした場合には、廃棄優先度制御を行なう。すなわち、バッファ溢れを起こしたとき、入力バッファ 11 は廃棄セル決定回路 126 によって、システムセルキュー 119、音声セルキュー 120 およびデータセルキュー 121 のいずれかのキュー内のセル廃棄優先度ビットから以下の廃棄優先度制御動作を行なう。

【0033】① 入力バッファ内に廃棄優先順位の高いセルがあれば、廃棄優先順位の高いセルのうち、最も古いセル（キューの先頭に最も近いセル）を廃棄する。

【0034】② 入力バッファ 11 内のセルキュー 119、120 および 121 のうちのセルの廃棄優先順位が低いものしかない場合、音声セルキュー＞データセルキュー＞システムセルキューの順序でそのキューの最も古いセルを廃棄する。

【0035】この廃棄優先度制御動作により廃棄されるセルが決定すると、セルキュー 119、120 および 121 からそのセルのエントリを削除し、該当バッファアドレスを以降のセル入力に使用するために、空きバッファアドレスキュー 122 に書込まれる。

【0036】

【発明の効果】以上のように、この発明によれば、複数段階のセルの遅延レベルのそれぞれに応じて、セルが入力バッファに蓄積可能なバッファ内蓄積可能時間を複数のセルキューに記憶し、セルの遅延レベルとセルキューから出力されるバッファ内蓄積可能時間と入力バッファ内のセル数とに基づいて重み付けられた競合調停情報を

生成し、複数の入力バッファから同じ出力先にセルの出力が要求されていれば、競合調停情報のうちの最も重み付けの重い入力バッファからのセルを出力先に出力するようにしたので、小規模かつ高性能で、高速動作を可能にすることができ、セル遅延に厳しいマルチメディアネットワークに適用することができる。

【0037】すなわち、バッファのセル収容数を少なく設計できるので、従来より小型化、低価格化が可能になり、重みづけにより時間に厳しいセルが優先処理される。したがって、利用者にとっては伝送の遅れ時間を実質的に感じなくなり、また画像や音声の伝送による劣化を最小限に抑えることができる。

【0038】また、時間に厳しいセルが複数の入力線路から 1 つの出力線路をめざした場合、より早く出力したいセル（残り蓄積可能時間の少ないセル、すなわち早くから入力バッファに蓄積されているセル）を出力させることができ、すべてのセルに対して、伝送の遅れ時間を一定値以内にする事ができる。

【0039】また、時間に厳しくないデータなどのセルでも、待ち時間に長時間（たとえば 1 秒）ではあるが制限がある。この制限時間を越えると、上位プロトコルによりセルが廃棄されたと見なされるが、このような場合に、待ち時間が長くなったセル（残り蓄積可能時間がゼロに近づいたセル）の競合調停情報の重みが大きくなり、優先的に出力されるようになる。これによりセルの廃棄を少なくできる。

【0040】さらに、バッファ内の蓄積セル数が多い入力バッファのセルも競合調停情報の重みが大きくなり、優先的に出力され、セル廃棄が少なくなり、バッファ量も少なくすむ。このような廃棄優先順位をつけることにより、廃棄されることを嫌うデータセルを廃棄させることなく、廃棄に強い音声セルを優先的に廃棄することができる。さらに、最重要なシステムセルの廃棄率を著しく低減させることができる。

【図面の簡単な説明】

【図 1】この発明の一実施例の全体の構成を示すブロック図である。

【図 2】入力バッファの具体的な構成を示すブロック図である。

【符号の説明】

11～18 入力バッファ

20 マトリックススイッチ

30 競合調停回路

111 セルデータ蓄積メモリ

112 スwitchング情報メモリ

113 スwitchング情報メモリ制御回路

114 バッファ内蓄積可能時刻演算回路

115 システムタイマ

116 ヘッダ付替回路

117 セルデータ蓄積メモリ制御回路

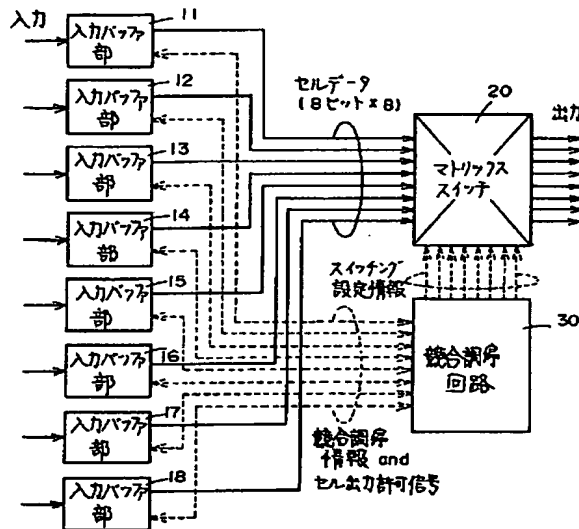
- 11
 118 デマルチプレクサ
 119 システムセルキュー
 120 音声セルキュー
 121 データセルキュー
 122 空きバッファアドレスキュー

*

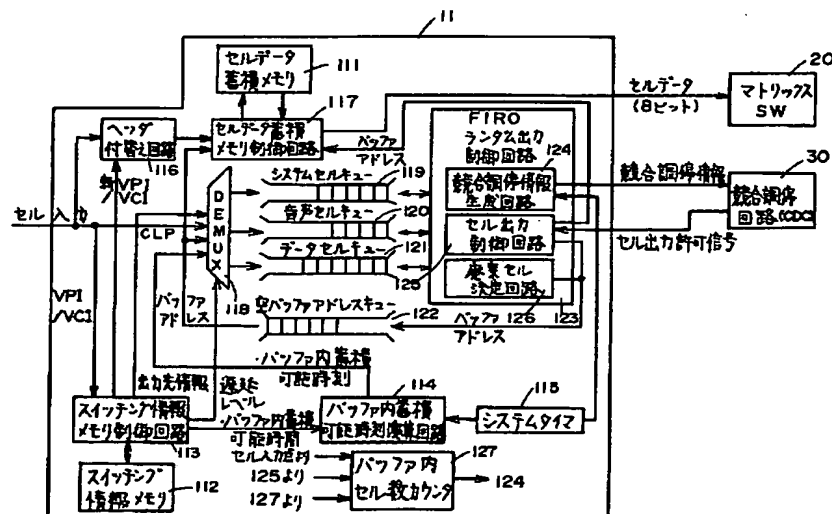
12

- * 124 競合調停情報生成回路
 125 セル出力制御回路
 126 廃棄セル決定回路
 127 バッファ内セル数カウンタ

【図1】



【図2】



Rest Available Conv